

External memory system having programmable graphics processor for use in a video game system or the like.

Patent Number: ☐ EP0553532, A3
Publication date: 1993-08-04
Inventor(s): GRAHAM CARL N (GB); CHEESE BEN (GB); SAN JEREMY E (GB); WARNES PETER R (GB)
Applicant(s): AN INC (US)
Requested Patent: CN1076378
Application Number: EP19920307135 19920805
Priority Number(s): US19920827098 19920130
IPC Classification: G06F15/72
EC Classification: G06F9/38F, G06F9/38S, G06F19/00B, G06T17/00
Equivalents: AU2060392, AU657147, CA2074554, CN1048564B, ☐ JP6089567, ☐ US5388841
Cited Documents: EP0402067; US5004232; EP0431724; WO9013085

Abstract

A fully programmable, graphics microprocessor is disclosed which is designed to be embodied in a removable external memory unit for connection with a host information processing system. In an exemplary embodiment, a video game system is described including a host video game system and a pluggable video game cartridge housing the graphics microprocessor. The game cartridge also includes a read-only program memory (ROM) and a random-access memory (RAM). The graphics coprocessor operates in conjunction with a three bus architecture embodied on the game cartridge. The graphics processor using this bus architecture may execute programs from either the program ROM, external RAM or its own internal cache RAM. The fully user programmable graphics coprocessor has an instruction set which is designed to efficiently implement arithmetic operations associated with 3-D graphics and, for example, includes special instructions executed by dedicated hardware for plotting individual pixels in the host video game system's character mapped display which, from the programmer's point of view, creates a "virtual" bit map by permitting the addressing of individual pixels -- even though the host system is character based. The graphics coprocessor interacts with the host coprocessor such that the graphics coprocessor's 16 general registers are accessible to the host processor at all times.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

Abstract:

EP 553532 A

The system includes at least one connector (1) for coupling the external memory to the host processing system. An external memory (10) stores two sets of program instructions for the videographics program for execution by the host processing unit.

A graphics processor (2) is coupled to the external memory (10) and coupled, in use, to the host processing unit via the connector, for executing the second set of instructions.

The host unit is formed by a video game system main processing unit, whilst the external memory is a game cartridge.

USE/ADVANTAGE - Image processing appts. Video game system. Fully user programmable graphics coprocessor. Host processor has constant access to 16 general registers of graphics coprocessor.

Dwg.1/21

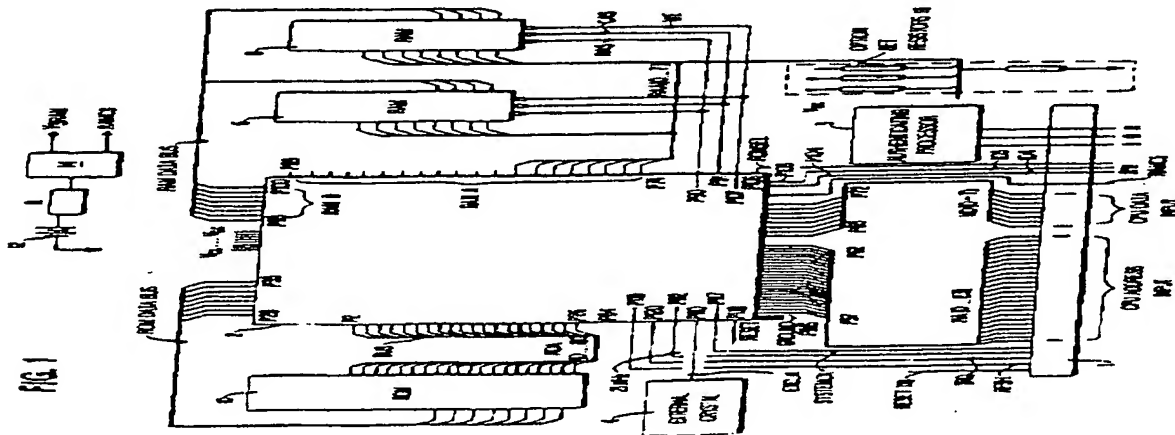
US 5388841 A

The fully programmable, graphics microprocessor is embodied in a removable external memory unit for connection with a host information processing system. A video game system includes a host video game system and a pluggable video game cartridge housing the graphics microprocessor. The game cartridge also includes a read-only program memory (ROM) and a random-access memory (RAM). The graphics coprocessor operates in conjunction with a three bus architecture embodied on the game cartridge. The graphics processor using this bus architecture may execute programs from either the program ROM, external RAM or its own internal cache RAM.

The fully user programmable graphics coprocessor has an instruction set which is designed to efficiently implement arithmetic operations associated with 3-D graphics and, for example, includes special instructions executed by dedicated hardware for plotting individual pixels in the host video game system's character mapped display which, from the programmer's point of view, creates a "virtual" bit map by permitting the addressing of individual pixels-even though the host system is character based. The graphics coprocessor interacts with the host coprocessor such that the graphics coprocessor's 16 general registers are accessible to the host processor at all times.

ADVANTAGE - Enables video game system to do high speed graphics processing.

Dwg.1/21



中 華 民 國 專 利 公 報 (19)(12)

(11)公告編號: 226448

(44)中華民國83年(1994)07月11日

發 明

全 15 頁

(51)Int. Cl.⁵: G06F15/62

(54)名 稱: 用於電視遊樂器等之具有可程式畫像處理器之外部記憶系統

(21)申 請 案 號: 81104861

(22)申請日期: 中華民國81年(1992)06月20日

(72)發 明 人:

傑美B·孫

英國

朋·齊士

英國

卡爾N·庫拉母

英國

彼得R·華尼斯

英國

(71)中 請 人:

愛恩股份有限公司

美國

(74)代 理 人: 陳燦暉 先生 洪武雄 先生

1

2

[57]申請專利範圍:

1. 一種外部記憶系統, 具備外部記憶體 (19, 20), 該外部記憶體具有一用於電視遊樂器之主控處理單元(20)以執行至少有一部分儲存於外部記憶系統(19)之外部記憶體(10)之視訊畫像程式, 其特徵在:

至少有一可使此外部記憶系統耦合至該主控處理系統之連接器 (1);

一外部記憶體(10), 其為唯讀記憶體 (ROM), 可儲存該視訊畫像式為該主控處理單元所執行之第一組程式指令, 以及可儲存該視訊畫像程式之第二組指令; 以及一可與該外部記憶體(10)相耦合之畫像處理機 (2), 其在使用時可經由該至少之一連接器 (1) 與該主控處理單元 (20) 相耦合而執行該第二組指令;

一可使該外部記憶體(10)與該畫像處理機 (2) 相耦合而傳送位址、資料和控制資訊的外部記憶體匯流排; 一隨機存取記憶體單元 (6, 8); 一隨機存取記憶體匯流排, 彼等可使該隨機存取記憶體單元 (6, 8) 與該畫像處理機 (2) 相耦

合而傳送位址、資料和控制資訊; 以及一可在該畫像處理機與該主控處理單元間傳送位址、資料和控制資訊的主控處理單元匯流排; 和

5. 該畫像處理機 (2) 尚包括有可由該主控處理單元接受位址資訊 (HA, 133) 以辨別該外部記憶體儲存該畫像處理機所要執行指令之位置。

10. 2. 如申請專利範圍第1項之外部記憶系統, 其中, 該主控處理單元(20)係一遊樂器主處理單元, 以及該外部記憶系統係安裝在一電視遊戲匣盒(19)內。

15. 3. 如申請專利範圍第1項之外部記憶系統, 其中之畫像處理機尚包括有可控制至少存取該外部記憶體匯流排和該隨機存取記憶體單元匯流排 (131) 中之一的裝置。

20. 4. 如申請專利範圍第1項之外部記憶系統, 其中之畫像處理機尚包括有一可執行該第二組儲存在該記憶體內之某些指令的算術邏輯單元(50)和一可執行該外部記憶體所存至少之一與顯示有關之指令的畫像電路

(52)。

5. 如申請專利範圍第4項之外部記憶系統，其中尚包括有一第一資料來源匯流排(X)，一第二資料來源匯流排(Y)和一資料目的匯流排(Z)，每一匯流排係與該算術邏輯單元(50)和該畫像電路(52)相耦合。
6. 如申請專利範圍第1項之外部記憶系統，其中該畫像處理機尚包括有一快取控制器(68)和一與此快取控制器(68)相耦合之快取記憶體(94)，該畫像處理機並包括有可執行該快取記憶體(95，60，50)內所存指令之裝置。
7. 如申請專利範圍第1項之外部記憶系統，其中之畫像處理機尚包括有一些暫存器(76)以及某種可響應此等暫存器(R14)中之一預定暫存器的存取動作而自動啟動一外部記憶體提取動作(104)的裝置。
8. 如申請專利範圍第1項之外部記憶系統，其中之外部記憶體係一程式唯讀記憶體(ROM)，以及其尚包括有一可與該畫像處理機相耦合之讀寫記憶體(RAM)。
9. 如申請專利範圍第1項之外部記憶系統，其中之畫像處理機和主控處理單元在作用上可平行執行指令。
10. 如申請專利範圍第1項之外部記憶體，其中之畫像處理機尚包括有可將要執行之指令做管線處理之裝置。
11. 如申請專利範圍第1項之外部記憶系統，其中之畫像處理機尚包括有可將該等第二組指令解碼之裝置以及可將有關所解碼指令之操作碼事先處理之先行裝置(551)。
12. 如申請專利範圍第1項之外部記憶系統，其中，該主控處理單元(20)尚包括有一可顯示物體的顯示器(36)，以及該等第二組指令尚包括有可使物體轉動之指令，而該畫像處理機則尚包括有可執行此等轉動物體之指令的裝置。
13. 一種電視遊樂器，係可與電視型顯示器(36)一起使用之電視遊樂器(19，20)，其特徵在：
 - 有一可執行一電視遊戲程式之指令的遊戲微處理機(22)，以及有一與此遊戲微

5.

10.

15.

20.

25.

30.

35.

40.

處理機相耦合而在此遊戲微處理機(22)之控制下執行影像處理任務的影像處理單元(24)；

有一可儲存該電視遊戲程式之程式記憶體(10)；以及

有一可與此程式記憶體相耦合之可程式畫像處理機(2)，其在使用時係與遊戲微處理機(22)相連接而執行該電視遊戲程式中的至少某些指令；

一可使該程式記憶體(10)與該可程式畫像處理機(2)相耦合而傳送位址，資料和控制資訊之程式記憶體匯流排；一隨機存取記憶體單元；一隨機存取記憶體單元匯流排，其可使該隨機存取記憶體單元(6，8)與該可程式畫像處理機(2)相耦合而傳送位址，資料和控制資訊；以及一可在該可程式畫像處理機(2)與該遊戲微處理機(22)之間傳送位址，資料和控制資訊的遊戲微處理機匯流排。

14. 如申請專利範圍第13項之電視遊樂器，其中之可程式畫像處理機(2)尚包括有一可執行該程式記憶體內所存至少某些第二部分指令之算術邏輯單元(50)和一可執行該程式記憶體內所存至少一有關顯示指令之畫像電路(52)。

15. 如申請專利範圍第13項之電視遊樂器，其中之可程式畫像處理機(12)尚包括有一快取控制器(68)和一與此快取控制器(68)相耦合之快取記憶體(94)，該可程式畫像處理機尚包括有可執行該快取記憶體(95，60，50)內所存指令而使該遊戲微處理機能夠平行執行指令之裝置。

16. 如申請專利範圍第13項之電視遊樂器，其中，該遊戲微處理機(22)和影像處理機單元(24)係製造於一電視遊樂器主處理單元(20)內，以及該程式記憶體(10)和畫像處理機(2)係製造於一電視遊戲匣(19)內。

17. 一種程式畫像處理機，係可用於一具有第一處理單元(20)之資訊處理系統(19，20)中以執行一外部記憶體(10)內所存至少第一部分之視訊畫像程式，此種可程式畫像處理機之特性在於：

有一可由該外部記憶體(10)接受該視

訊畫像圖程式第二部份；

有一可執行該視訊

，52)至少第二部分之

有可接受該第一處

以辨別該外部記憶體儲
執行指令位置之裝置；

該畫像處理機尚包
部記憶體內所存視訊畫
二部分之算術邏輯單元
外部記憶體所存至少一
圖電路(52)。

18. 如申請專利範圍第17
理機，其中該接受位址
有一可接受位址資訊以
排組之外部記憶體排組
該記憶體排組內部之位

19. 如申請專利範圍第17
理機，其中之畫像處理
些畫像處理機狀態指示
，該等狀態指示係包括
正在動作及指示該畫像
斷信號給該第一處理單

20. 如申請專利範圍第17
理機，其中尚包括有一
排(X)，一第二資料
和一資料目的匯流排
均係與該算術邏輯單元
合。

21. 如申請專利範圍第17
理機，其中尚包括有一
一與此快取控制器相耦
(94)，和一可執行此
(50)內所存指令之裝

22. 如申請專利範圍第17
理機，其中尚包括有：

一可執行至少一

一可儲存一些狀態

；
一指令解碼器(62
等狀態條件之一狀態
指令來控制該執行裝
器為某一狀態時啟動
狀態暫存器為一第二
作。

訊畫像圖程式第二部份指令之裝置；

有一可執行該視訊畫像程式(60, 50, 52)至少第二部分之裝置；

有可接受該第一處理單元之位址資訊以辨別該外部記憶體儲存該畫像處理機所執行指令位置之裝置；以及

該畫像處理機尚包括有一可執行該外部記憶體內所存視訊畫像程式至少某些第二部分之算術邏輯單元(50)和一可執行該外部記憶體所存至少一有關顯示指令之繪圖電路(52)。

18. 如申請專利範圍第17項之可程式畫像處理機，其中該接受位址資訊之裝置尚包括有一可接受位址資訊以辨別一外部記憶體排組之外部記憶體排組暫存器和一可辨別該記憶體排組內部之位置的程式計數器。

19. 如申請專利範圍第17項之可程式畫像處理機，其中之畫像處理機包括有可儲存一些畫像處理機狀態指示之狀態暫存器裝置，該等狀態指示係包括指示該畫像處理機正在動作及指示該畫像處理機已送出一中斷信號給該第一處理單元。

20. 如申請專利範圍第17項之可程式畫像處理機，其中尚包括有一第一資料來源匯流排(X)，一第二資料來源匯流排(Y)和一資料目的匯流排(Z)，每一匯流排均係與該算術邏輯單元和該畫像電路相耦合。

21. 如申請專利範圍第17項之可程式畫像處理機，其中尚包括有一快取控制器(68)，一與此快取控制器相耦合之快取記憶體(94)，和一可執行此快取記憶體(95, 60, 50)內所存指令之裝置。

22. 如申請專利範圍第17項之可程式畫像處理機，其中尚包括有：

一可執行至少一指令(50)之裝置；

一可儲存一些狀態條件之狀態暫存器

一指令解碼器(62)，其可響應至少該等狀態條件之一狀態而使該至少之一預定指令來控制該執行裝置，俾於該狀態暫存器為某一狀態時啟動第一運作，而於該狀態暫存器為一第二狀態時啟動一第二運作。

23. 如申請專利範圍第17項之可程式畫像處理機，其中，該資訊處理系統係與顯示有關，以及該畫像處理機在控制顯示物體之轉動上係與該第一處理單元共同作用。

24. 如申請專利範圍第23項之可程式畫像處理機，其中該執行裝置尚包括有可將像素型格式資料轉變成字元型格式資料的畫像電路(52)。

25. 一種畫像處理機可與一主控處理系統(20)和一程式記憶體(10)一起使用以儲存一視訊畫像程式的畫像處理機(2)，此

種畫像處理機之特性在於：

有一可執行該程式記憶體內所存指令之算術邏輯單元(50)；

有一可控制該程式記憶體之存取運作

以及可選擇該使該主控處理系統(10)和該畫像處理機之中至少有一個能夠存取該程式記憶體之程式記憶體控制器(104)；

一快取記憶體(94)，以及該程式記憶體控制器(104)尚包括有可將程式指令載入該快取記憶體內之裝置；以及

該畫像處理機(2)係耦合至一隨機存取記憶體(RAM)(6, 8)，且係包括有一可控制該RAM存取運作之RAM控制器(88)。

26. 如申請專利範圍第25項之畫像處理機，其中，該畫像處理機(2)係耦合至一程式記憶體位址匯流排，以及該程式記憶體控制器包括有一可選擇將一位址置於該程式記憶體位址匯流排上的多工器(414)。

27. 如申請專利範圍第25項之畫像處理機，其中尚包括有一些暫存器(76)，以及其中之程式記憶體控制器(106)包括有一可響應存取該等暫存器中之一而自動啟動一程式記憶體資料提取的裝置。

28. 一種畫像處理機，係可與一主控處理系統(20)，一用以儲存一視訊畫像程式之程式記憶體(10)，和一隨機存取記憶體(RAM)(6, 8)一起使用之畫像處理機(2)，此種畫像處理機之特徵在於：

有一可由該主控處理系統(HA)接受一

RAM位址之裝置；

有一可產生RAM位址之畫像處理裝置

有一可在一主控處理系統 RAM 位址與一畫像處理裝置所產生之 RAM 位址中間選擇耦合至該 RAM 之 RAM 控制器(88)；以及

至少一個暫存器，以及其中之 RAM 控制器尚包括有多工器(308)，此多工器可接受一主控處理系統所生之位址(HA)和一畫像處理裝置所生之位址(PLOTADDR)，並且依據狀態暫存器內所存至少之一狀態位元將該等位址之一耦合至該 RAM。

圖示簡單說明：

第1圖係一依本發明例示實施例所製之例示外部記憶系統的方塊圖；

第2圖係一與當前較佳例示實施例之畫像共處理機一起使用之主控處理系統的方塊圖；

第3圖係一用以顯示一裝有一畫像共處理機之遊戲匣盒和一裝有該主控處理系統之基座單元的例示機械組態的透視圖；

第4A和4B圖係依據當前較佳之例示實施例所製之畫像共處理機的一個方塊圖；

第5圖係一用以描述該主控處理系統使該畫像共處理機開始運作時所執行之序列動作的方塊圖；

第6圖係第4A圖中所示算術和邏輯單元之更為詳細的方塊圖；

第7圖係第4A圖中所示型式之例示像素繪圖電路更為詳細的方塊圖；

第8A圖係一用以顯示該繪圖控制器所接收之輸入信號和該繪圖控制器所產生之輸出信號的方塊圖；

第8B圖係該像素繪圖電路之色彩矩陣內所含之色彩矩陣元素；

第8C圖係描述與該像素繪圖電路相關連之時序，控制，和資料信號；

第9圖係第4A圖中所示 RAM 控制器更為明細的方塊圖；

第9A圖係顯示與第9圖所示之 RAM 控制器相關連之例示時序，控制，和資料信號；

第10圖係一例示第9圖所示之仲裁邏輯電路之電路圖；

第11圖係本發明之畫像共處理機的一個例示實施例中之重新同步電路圖；

第12圖係與第11圖之重新同步電路相關連的時序信號；

第13圖係本發明之畫像共處理機的 ROM 控制器更為明細的方塊圖；

第14圖係一依本發明之例示實施例所製畫像共處理機之快取控制器的方塊圖；

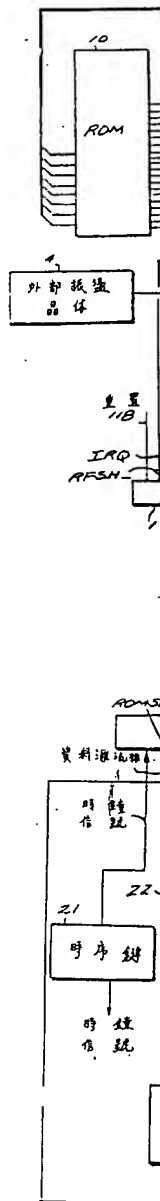
第15A圖係顯示本發明畫像共處理機有關指令解碼之電路的一個方塊圖；

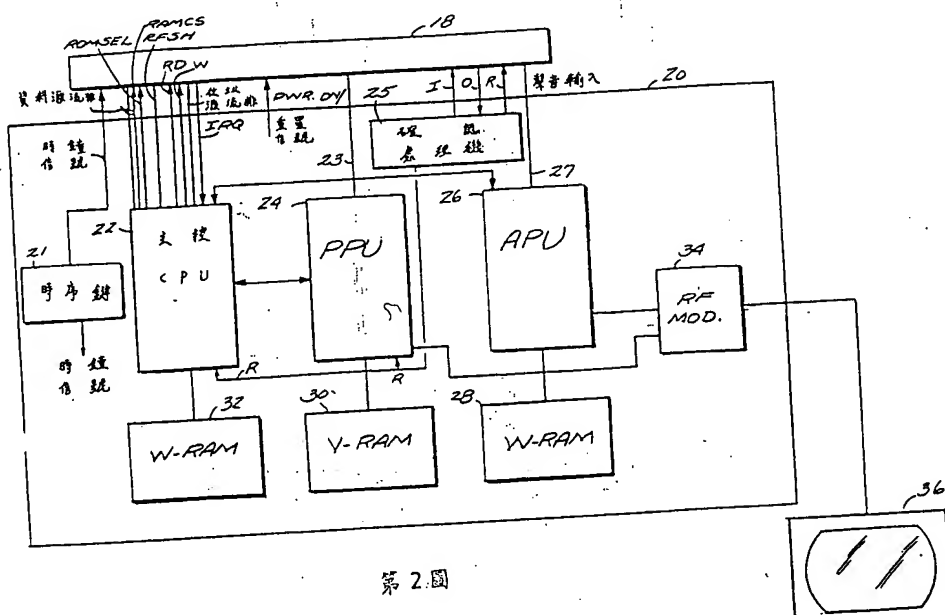
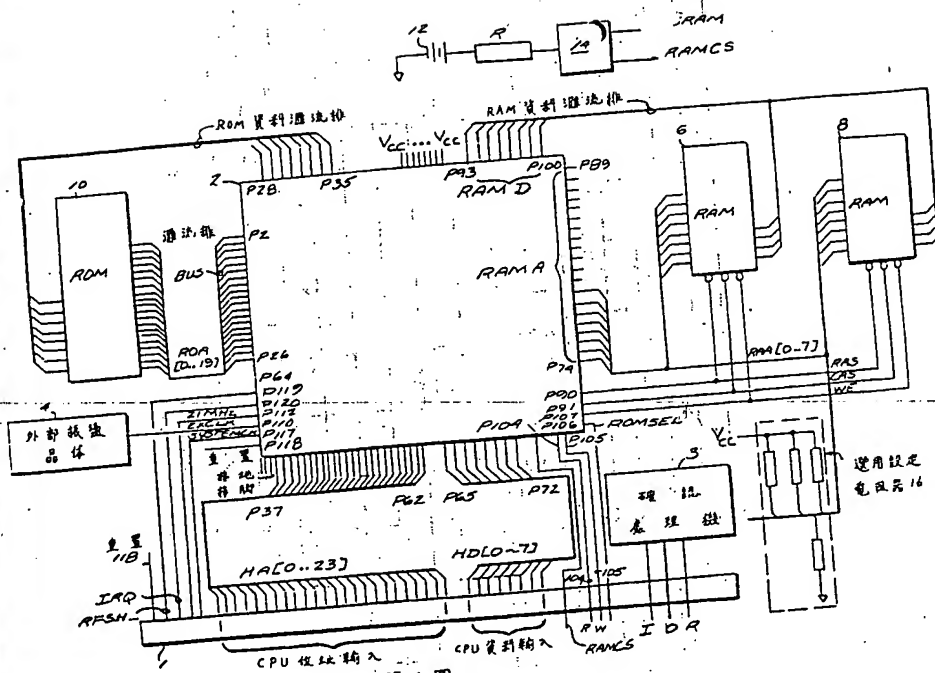
第15B圖係顯示用以示範第15A圖之前瞻邏輯電路之運作情形的例示時序信號；

第16和17圖係顯示依本發明之例示實施例所製暫存器控制邏輯電路的方塊圖；

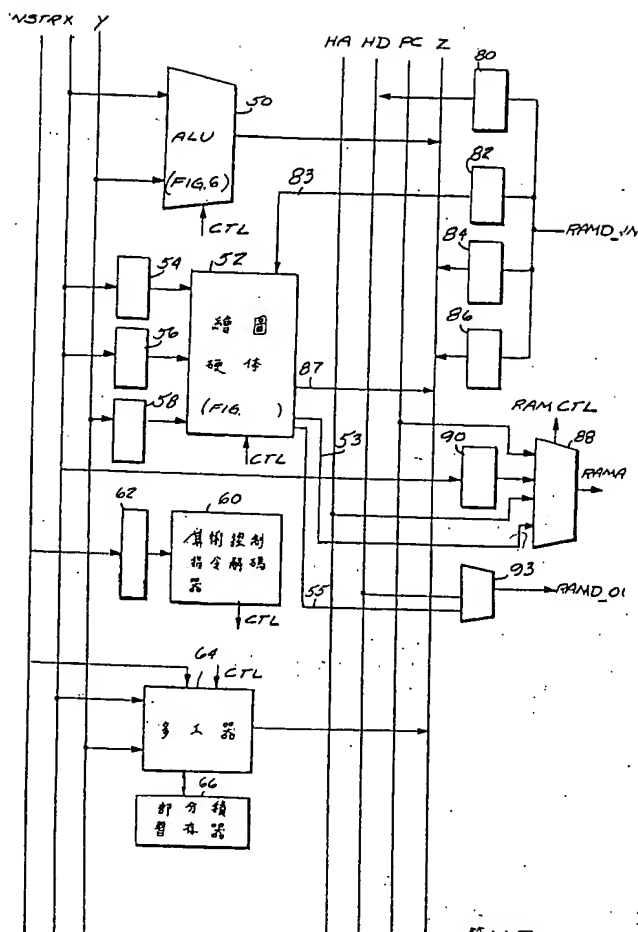
第18圖係一記述該畫像共處理機於執行產生多邊形之任務時之動作序列的例示流程圖；

第19，20，和21圖係所例示之顯示畫面，彼等係屬以多邊形為基礎所產生之物體，其例示出本發明之一例示實施例中的比例尺度和旋轉等特徵。



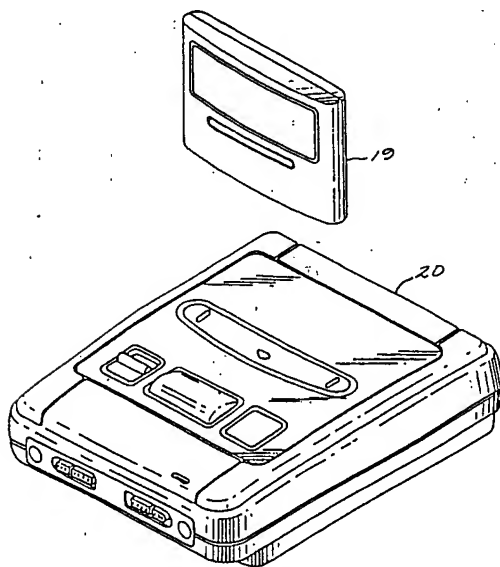


(6)



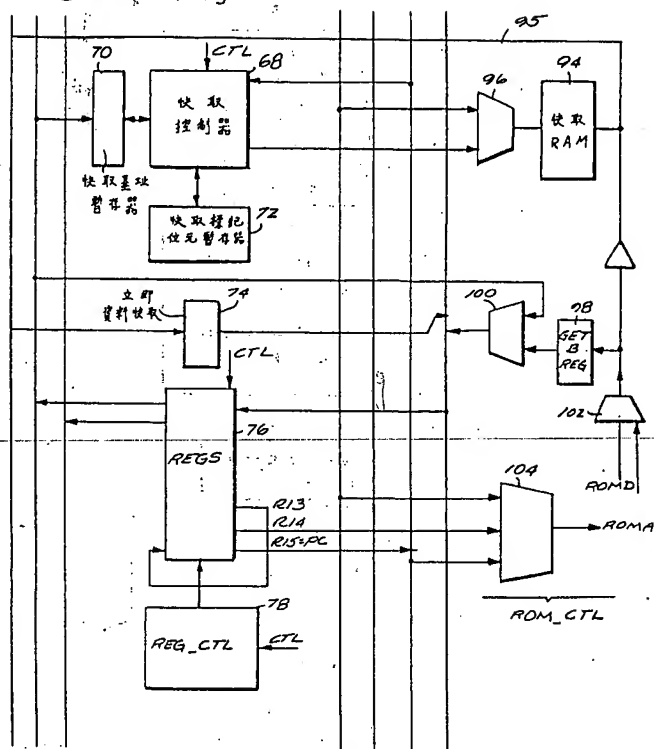
[TO FIG. 4B]

第4A圖

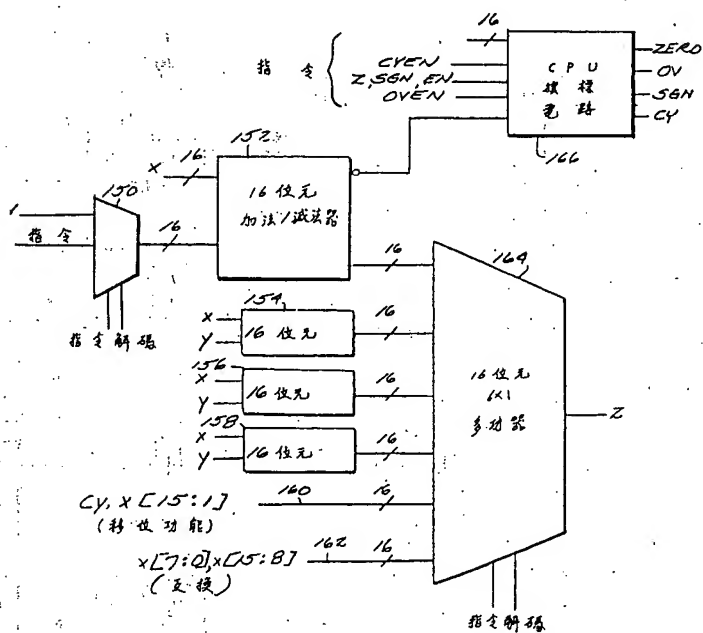


第3圖

[FROM FIG. 4A]

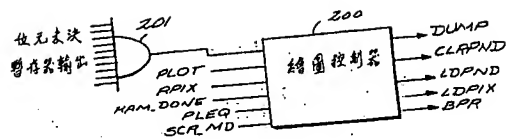


第4B圖

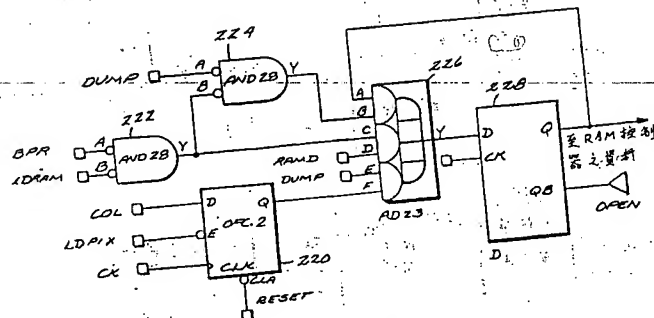


第 6 圖

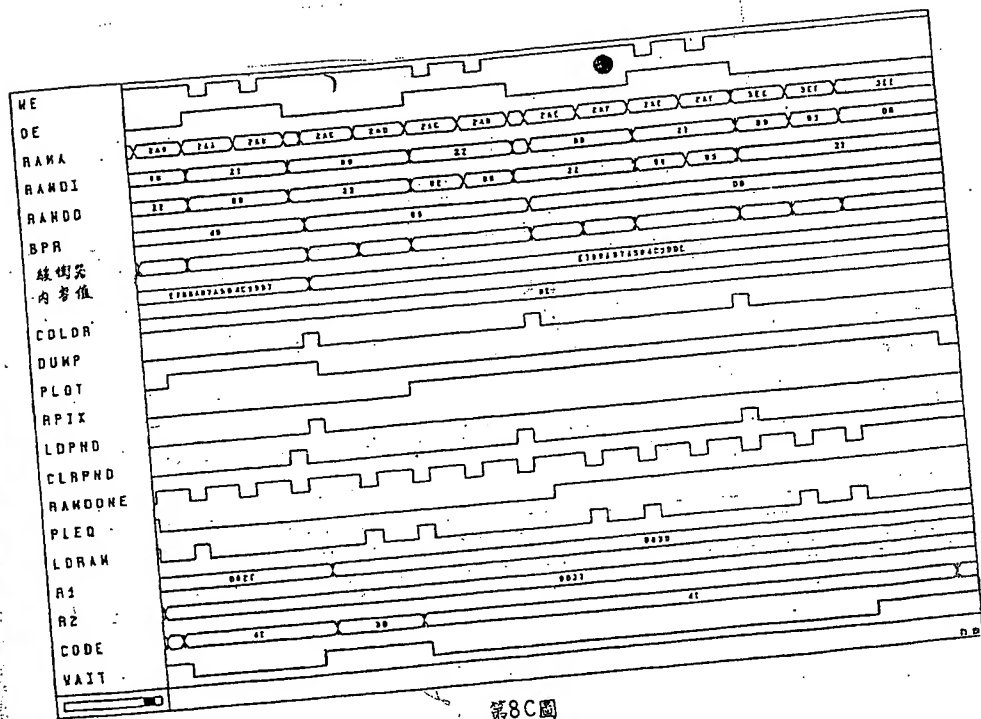
(9)



第8A圖



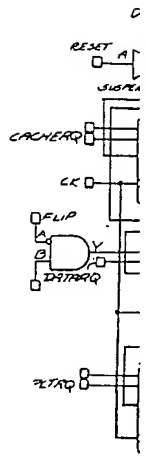
第8B圖



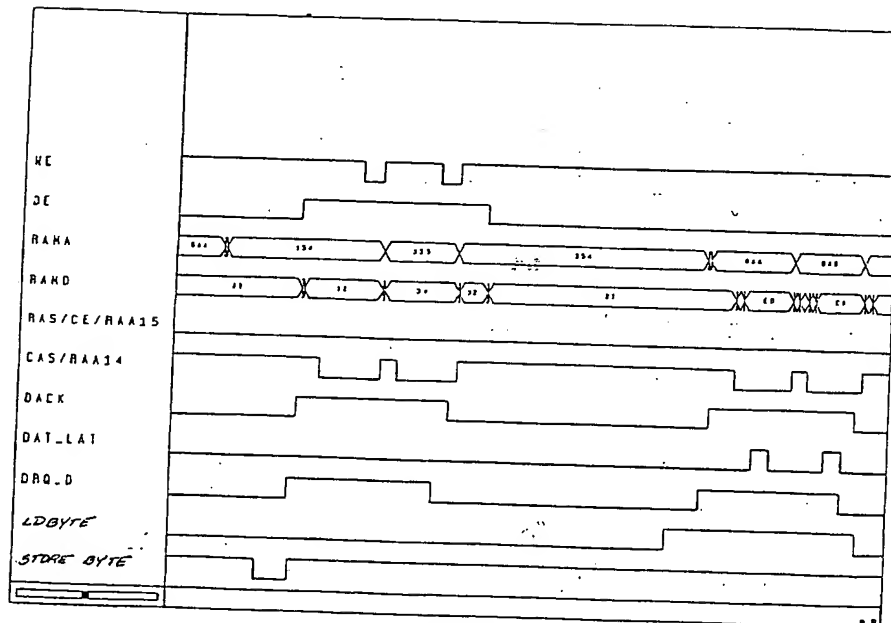
第8C圖

RAM 控制
器之輸出

(10)

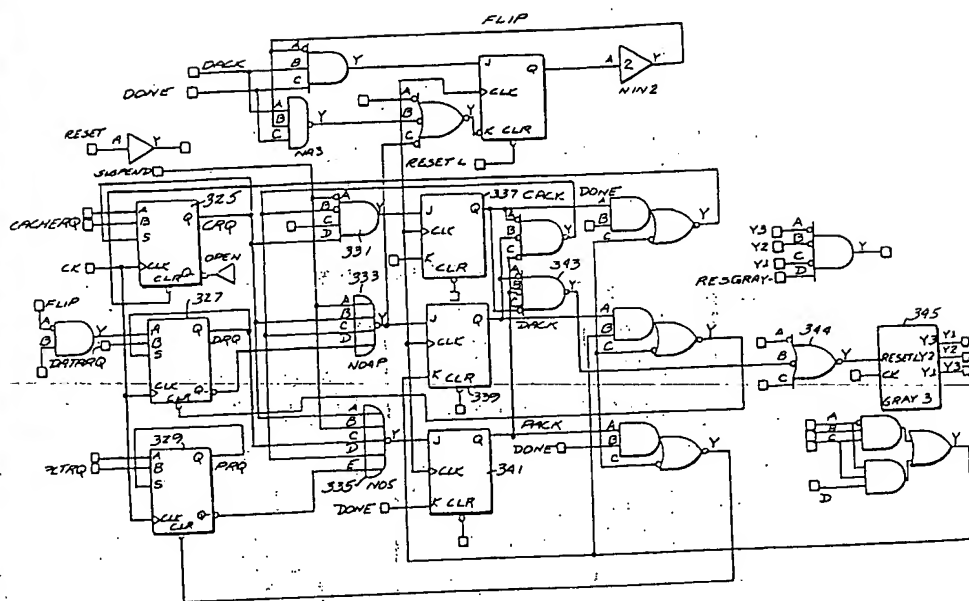


第 9 圖

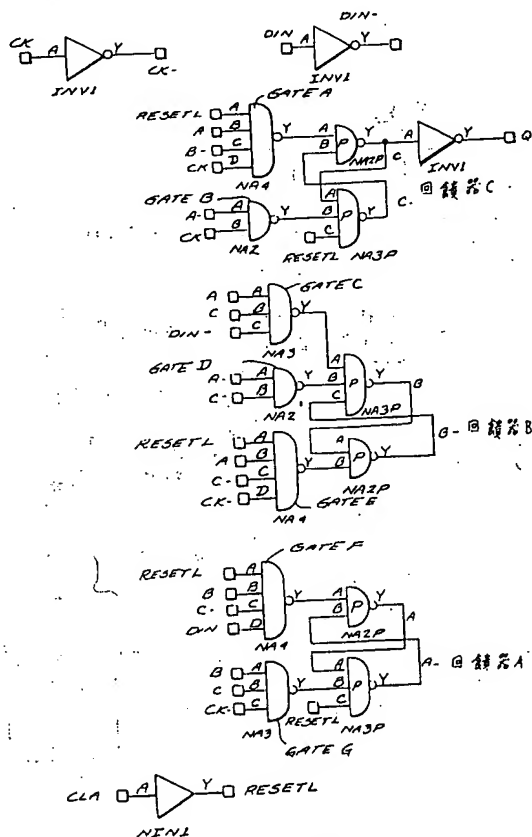


第9A圖

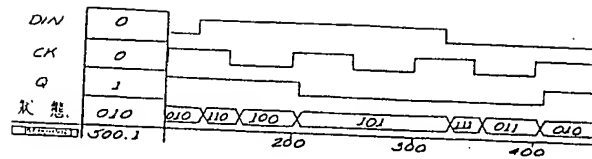
(11)



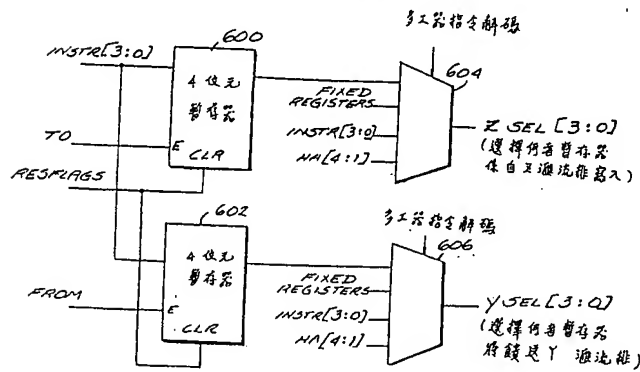
第10圖



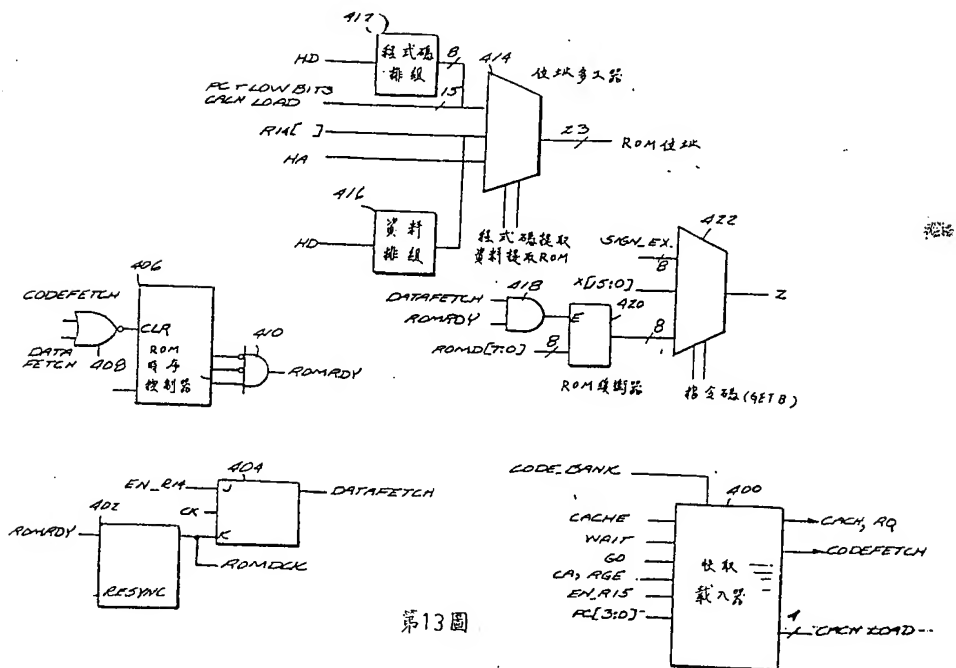
第11圖



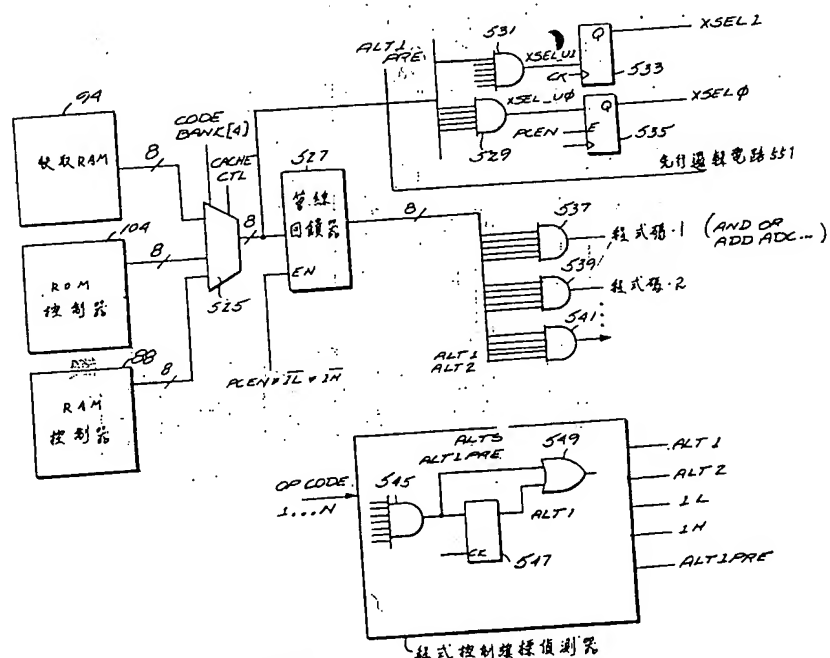
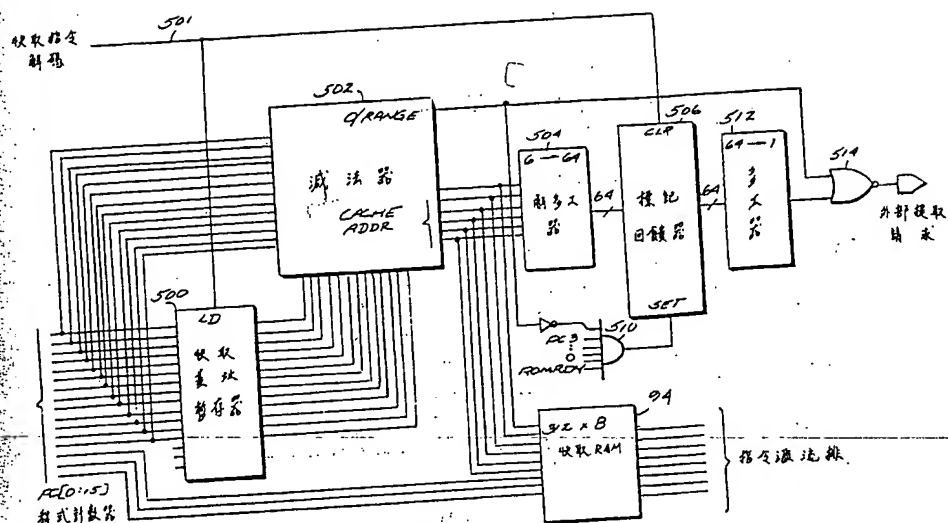
第12圖

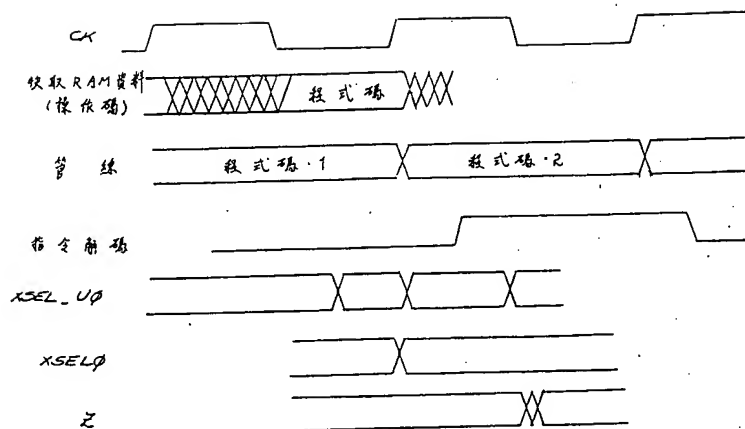


第16圖

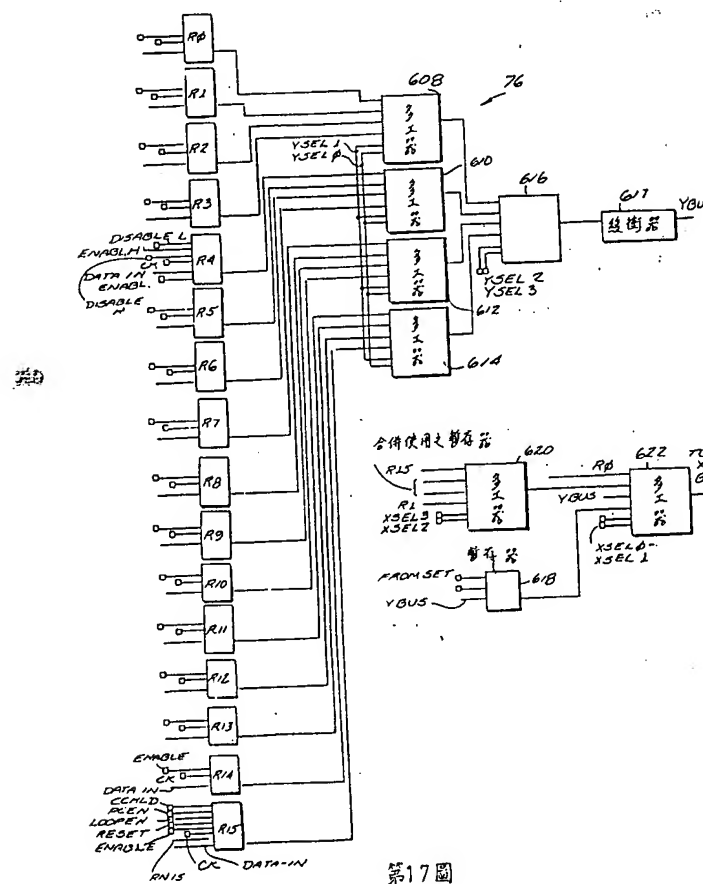


第13圖

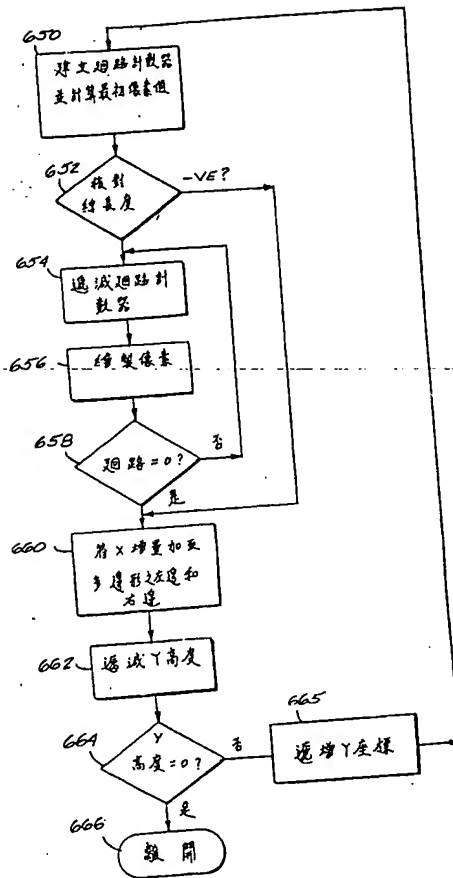




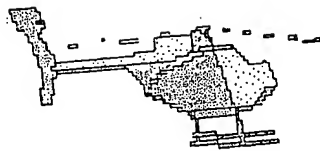
第15B圖



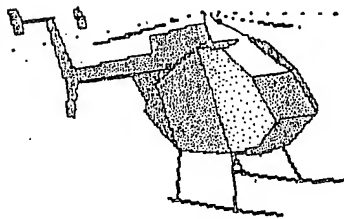
第17圖



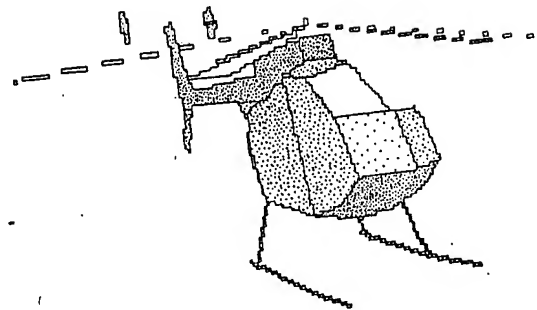
第18圖



第19圖



第20圖



第21圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.